



THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Yoji Idei, et al. **Examiner:** Unassigned
Serial No: 10/669,304 **Art Unit:** Unassigned
Filed: September 24, 2003 **Docket:** 17051
For: SEMICONDUCTOR DEVICE **Dated:** January 15, 2004
USING CURRENT MIRROR CIRCUIT


Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

CLAIM OF PRIORITY

Sir:

Applicants in the above-identified application hereby claim the right of priority in connection with Title 35 U.S.C. § 119 and in support thereof, herewith submit a certified copy of Japanese Patent Application No. 2002-280855, filed on September 26, 2002.

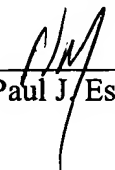
Respectfully submitted,


Paul J. Esatto, Jr.
Registration No.: 30,749

Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, New York 11530
(516) 742-4343
PJE:ahs

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner of Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
Dated: January 15, 2004


Paul J. Esatto, Jr.

US

WN2-2612

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 2 6 日
Date of Application:

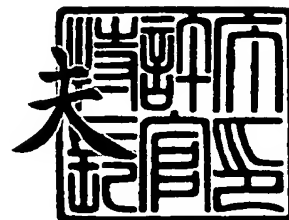
出 願 番 号 特 願 2 0 0 2 - 2 8 0 8 5 5
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 8 0 8 5 5]

出 願 人
Applicant(s): エルピーダメモリ株式会社
株式会社日立製作所
株式会社日立超エル・エス・アイ・システムズ

2 0 0 3 年 9 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 6 6 1 7

【書類名】 特許願

【整理番号】 22310204

【提出日】 平成14年 9月26日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明者】

 【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ
 株式会社内

 【氏名】 出井 陽治

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 2 番 1 号 株式会社日立
 超エル・エス・アイ・システムズ内

 【氏名】 清水 祐介

【特許出願人】

 【識別番号】 500174247

 【氏名又は名称】 エルピーダメモリ株式会社

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【特許出願人】

 【識別番号】 000233169

 【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【代理人】

 【識別番号】 100071272

 【弁理士】

 【氏名又は名称】 後藤 洋介

【選任した代理人】**【識別番号】** 100077838**【弁理士】****【氏名又は名称】** 池田 憲保**【手数料の表示】****【予納台帳番号】** 012416**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0110118**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 小振幅信号と定電圧の入力信号を受け取るアナログ電源とデジタル電源を併用した第 1 のカレントミラー回路と、

第 1 のカレントミラー回路から出力された信号を受け取りアナログ電源からデジタル電源に信号をレベル変換する第 2 のカレントミラー回路と、

第 1 のカレントミラー回路内に設けられた第 1 のノードと、

第 2 のカレントミラー回路内に設けられた第 2 のノードと、

第 1 のノードと第 2 のノードの電圧レベルにより出力された信号が入力され、かつ CMOS レベル信号が出力されるインバータ回路とを有し、

小振幅信号から CMOS レベル信号を生成することを特徴とする半導体装置。

【請求項 2】 前記第 1 のカレントミラー回路は、複数の第 1 の PMOS トランジスタと複数の第 1 の NMOS トランジスタとから構成され、

前記第 2 のカレントミラー回路は、一対の第 2 の PMOS トランジスタと一対の第 2 の NMOS トランジスタから構成され、

前記インバータ回路は、一対の第 3 の PMOS トランジスタと一対の第 3 の NMOS トランジスタとから構成されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 の PMOS トランジスタの数は 6 個であり、前記第 1 の NMOS トランジスタの数は 4 個であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記第 1 のカレントミラー回路のデジタル電源と前記インバータ回路のデジタル電源とは、同電位に設定されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 前記インバータ回路への入力信号の電位と、前記インバータ回路の入力の論理スレッシュホールドとが一致していることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 前記入力信号の電位と前記論理スレッシュホールドとを一致させ

ることにより、デューティを所定の目標値の範囲に設定することを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記半導体装置は、ダイレクト・ランバス D R A Mであることを特徴とする請求項 1 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、カレントミラー回路を使用して、小振幅信号から C M O S レベル信号を生成する半導体装置に関する。

【0002】

【従来の技術】

近年、マイクロプロセッサの高速化および低消費電力化に伴い、よりデータ転送速度の速い D R A M かつ低消費電力化が可能な D R A M の要求が高まっている。そこで、288 M b i t s のダイレクト・ランバス (D i r e c t R a m b u s) D R A M では高速動作及び低消費電力化を求めている顧客ニーズを満足するために、高速動作が可能でかつ消費電力が小さくできるチップの開発が行なわれている。

【0003】

上記の顧客ニーズを満足させるためには、消費電流の大半を占める周辺回路 (D L L 回路およびロジック回路) を内部降圧化する必要がある。しかし、周辺回路内にある D L L 回路は安定したデューティ (D u t y) クロックを生成 (D u t y = 50 ± 1 %) するために、カレントミラー回路のトランジスタを飽和領域で動作させる必要がある。そのため、D L L 回路の電源電圧を最低でも 2.0 V に設定する必要がある。

【0004】

それに反し、ロジック回路は特性に影響を与えない程度 (高速動作に影響を与えない程度) まで電源電圧を下げる事が可能である。双方の特性を満足し高速動作かつ低消費電力化を実現するためには、D L L 回路の電源電圧を 2.0 V, ロジック回路の電源電圧を 1.8 V 以下として開発を行なう必要がある。そこで

、上記の目的を満足するためには、DLL回路とロジック回路の信号の受け渡しを行なうレベル変換回路の再設計が必要となる。

【0005】

図4は、従来のレベル変換回路の一例である（例えば、特許文献1参照）。

【0006】

従来のレベル変換回路は、DLL回路内の小振幅レベル信号CLKI，CLKIBをCMOSレベル信号CLKOにレベル変換しロジック回路に供給する回路である。この時、DLL回路とロジック回路の電源電圧は同電位である。

【0007】

図4に示す従来回路は、小振幅信号CLKIがハイ（High），CLKIBがロウ（Low）の時、NMOSトランジスタN1がオン、NMOSトランジスタN2がオフし、NMOSトランジスタN1はノードst1bからcommonに向かって電流を流し、ノードst1bの電位をハイからロウに引き下げPMOSトランジスタP1，P3，P6をオンさせる。

【0008】

st1bの電位がハイからロウに遷移したことでPMOSトランジスタP6は、VDDAからcoに電流を流しノードcoの電圧をロウからハイに遷移させる。ノードcoの電位がロウからハイに遷移したことでノードcobはハイからロウ、CMOSレベル信号CLKOはロウからハイに遷移する。

【0009】

逆に、小振幅信号CLKIがロウ、CLKIBがハイの場合、NMOSトランジスタN1がオフ、NMOSトランジスタN2がオンし、NMOSトランジスタN2はノードst1からcommonに向かって電流を流し、ノードst1の電位をハイからロウに引き下げPMOSトランジスタP2，P4，P5をオンさせる。

【0010】

それにより、ノードcomaの電位はロウからハイに遷移しNMOSトランジスタN3，N4はオンし、ノードcoの電位をハイからロウに遷移する。ノードcoの電位がハイからロウに遷移したことでノードcobはロウからハイ、CM

OSレベル信号CLKOはハイからロウに遷移する。

【0011】

なお、従来回路は、DLL回路とロジック回路の電源電圧が同電位であったため、DLL回路とロジック回路の電源電圧の電位差については特に問題していなかった。しかし、今回のケースのように、DLL回路とロジック回路の電源が別系統である場合には、両電源間の電位差が変動することにより、図5に示すノードc oの電位とインバータの入力の論理スレッシュホールドがずれてデューティー（Duty）を悪化させてしまう（図6参照）。その結果を図7に示す。

【0012】

図7に示す様に、DLL回路の電源電圧を $VDDA = 2.0V$ にし、ロジック回路の電源電圧を $VDD = 2.0V \sim 1.6V$ まで変動させるとデューティー（Duty）が約3.5%ずれる。このずれ量は設計目標値1%以内をオーバーしている。このように、DLL回路でデューティー（Duty）を調整してもロジック回路に信号を受け渡す際にデューティー（Duty）ずれを起こしてしまっでは補正した意味を持たない。

【0013】

【特許文献1】

特開平11-242204号公報

【0014】

【発明が解決しようとする課題】

そこで、本発明は、上記従来技術の問題点に鑑みて成されたものであり、その目的とするところは、DLL回路とロジック回路の電源電圧が変動した場合でも安定したCMOSレベル信号（ $Duty = 50 \pm 1\%$ ）を生成できる半導体装置を提供することにある。

【0015】

【課題を解決するための手段】

上記目的を達成するために、本発明では、小振幅信号と定電圧の入力信号を受け取るアナログ電源とデジタル電源を併用した第1のカレントミラー回路と、第1のカレントミラー回路から出力された信号を受け取りアナログ電源からデジタ

ル電源に信号をレベル変換する第2のカレントミラー回路と、第1のカレントミラー回路内に設けられた第1のノードと、第2のカレントミラー回路内に設けられた第2のノードと、

第1のノードと第2のノードの電圧レベルにより出力された信号が入力され、かつCMOSレベル信号が出力されるインバータ回路とを有し、小振幅信号からCMOSレベル信号を生成することを特徴とする。

【0016】

ここで、前記第1のカレントミラー回路は、複数の第1のPMOSトランジスタと複数の第1のNMOSトランジスタとから構成され、前記第2のカレントミラー回路は、一对の第2のPMOSトランジスタと一对の第2のNMOSトランジスタから構成され、前記インバータ回路は、一对の第3のPMOSトランジスタと一对の第3のNMOSトランジスタとから構成される。

【0017】

好ましくは、前記第1のPMOSトランジスタの数は6個であり、前記第1のNMOSトランジスタの数は4個である。

【0018】

また、前記第1のカレントミラー回路のデジタル電源と前記インバータ回路のデジタル電源とは、同電位に設定されている。

【0019】

上記構成の下、前記インバータ回路への入力信号の電位と、前記インバータ回路の入力の論理スレッシュホールドとが一致している。

【0020】

前記入力信号の電位と前記論理スレッシュホールドとを一致させることにより、デューティを所定の目標値の範囲に設定する。

【0021】

前記半導体装置は、例えば、ダイレクト・ランバスDRAMである。

【0022】

【発明の実施の形態】

本発明の実施の形態を図を用いて詳細に説明する。

【0023】

図1に本発明の実施の形態による回路図を示す。

【0024】

本発明は、小振幅レベル信号CLKI, CLKIBをDLL回路とロジック回路の電源電圧レベルが変動してもDuty比の安定したCMOSレベル信号CLKO (Duty = 50 ± 1%) に変換できるレベル変換回路である (図2参照)。本発明のレベル変換回路は、例えば、ダイレクト・ランバス (Direct Rambus) DRAMに適用される。

【0025】

本発明は、図4に示す従来回路と異なり、P1, P2, P3, P4, P5, P6のPMOSトランジスタとN1, N2, N3, N4, NCのNMOSトランジスタから構成されているカレントミラー回路A, P9, P10のPMOSトランジスタとN7, N8のNMOSトランジスタから構成されているカレントミラー回路B, そしてP7, P8のPMOSトランジスタとN5, N6のNMOSトランジスタで構成されているインバータ回路から構成されている。

【0026】

図4に示す従来回路との大きな相違点は、カレントミラー回路Bが追加された点である。このカレントミラー回路Bを使用することで、図1に示すノードc oの電位とインバータの入力の論理スレッシュホールドが一致しデューティー (Duty) の悪化を防ぐことができる。(図2参照)。それによりデューティー (Duty) ずれが従来回路に比べて非常に小さくなる。その結果を図3に示す。

【0027】

次に、本発明の実施の形態による回路の動作について説明する。

【0028】

図1に示すように、小振幅レベル信号CLKIがハイ (High t), CLKIBがロウ (Low) の時、NMOSトランジスタN1がオン、NMOSトランジスタN2がオフし、NMOSトランジスタN1はノードs t 1 bからc o m m o nに向かって電流を流し、ノードs t 1 bの電位をハイからロウに下げPMOSトランジスタP1, P3, P9をオンさせる。

【0029】

s t 1 b の電位がハイからロウに遷移したことで、PMOS トランジスタ P 9 は、VDDA から c o m b に電流を流しノード c o m b の電圧をロウからハイに遷移させる。

【0030】

ノード c o m b の電位がロウからハイに遷移したことでノード c o m b b はハイからロウに遷移する。よって、ノード c o はロウからハイに遷移し、ノード c o b はハイからロウに遷移する。従って、CMOS レベル信号 CLK O はロウからハイに遷移する。逆に、小振幅レベル信号 CLK I がロウ、CLK I B がハイの時、NMOS トランジスタ N 1 がオフ、NMOS トランジスタ N 2 がオンし、NMOS トランジスタ N 2 はノード s t 1 から c o m m o n に向かって電流を流し、ノード s t 1 の電位をハイからロウに下げPMOS トランジスタ P 2, P 4, P 5 をオンさせる。

【0031】

それにより、ノード c o m a の電位はロウからハイに遷移しNMOS トランジスタ N 3, N 4 はオンし、ノード c o の電位をハイからロウに遷移させる。ノード c o の電位がハイからロウに遷移したことでノード c o b はロウからハイ、CMOS レベル信号 CLK O はハイからロウに遷移する。また、NMOS トランジスタ N C は定電流源回路でありゲートに定電圧 V C N を与えている。

【0032】**【発明の効果】**

本発明によれば、第一に、DLL 回路とロジック回路の電源電圧が変動した ($VDDA > VDD$) 場合でも、ノード (c o) の電位とインバータの入力の論理スレッシュホールドが一致しデューティー (D u t y) が悪化することがなくなり、CMOS レベル信号 CLK O (D u t y = $50 \pm 1\%$) を生成できる。

【0033】

第二に、ロジック回路の電源電圧を下げることで消費電流を削減できる。

【図面の簡単な説明】

【図 1】

本発明のレベル変換回路を示す図である。

【図 2】

図 1 に示すノード c o の電位とインバータの入力の論理スレッシュホールドが一致し D u t y の悪化を防ぐことができる様子を示す図である。

【図 3】

図 2 に示した様子の結果を示す図である。

【図 4】

従来のレベル変換回路を示す図である。

【図 5】

従来のレベル変換回路を示す図である。

【図 6】

図 5 に示すノード c o の電位とインバータの入力の論理スレッシュホールドがずれて D u t y を悪化させてしまう様子を示す図である。

【図 7】

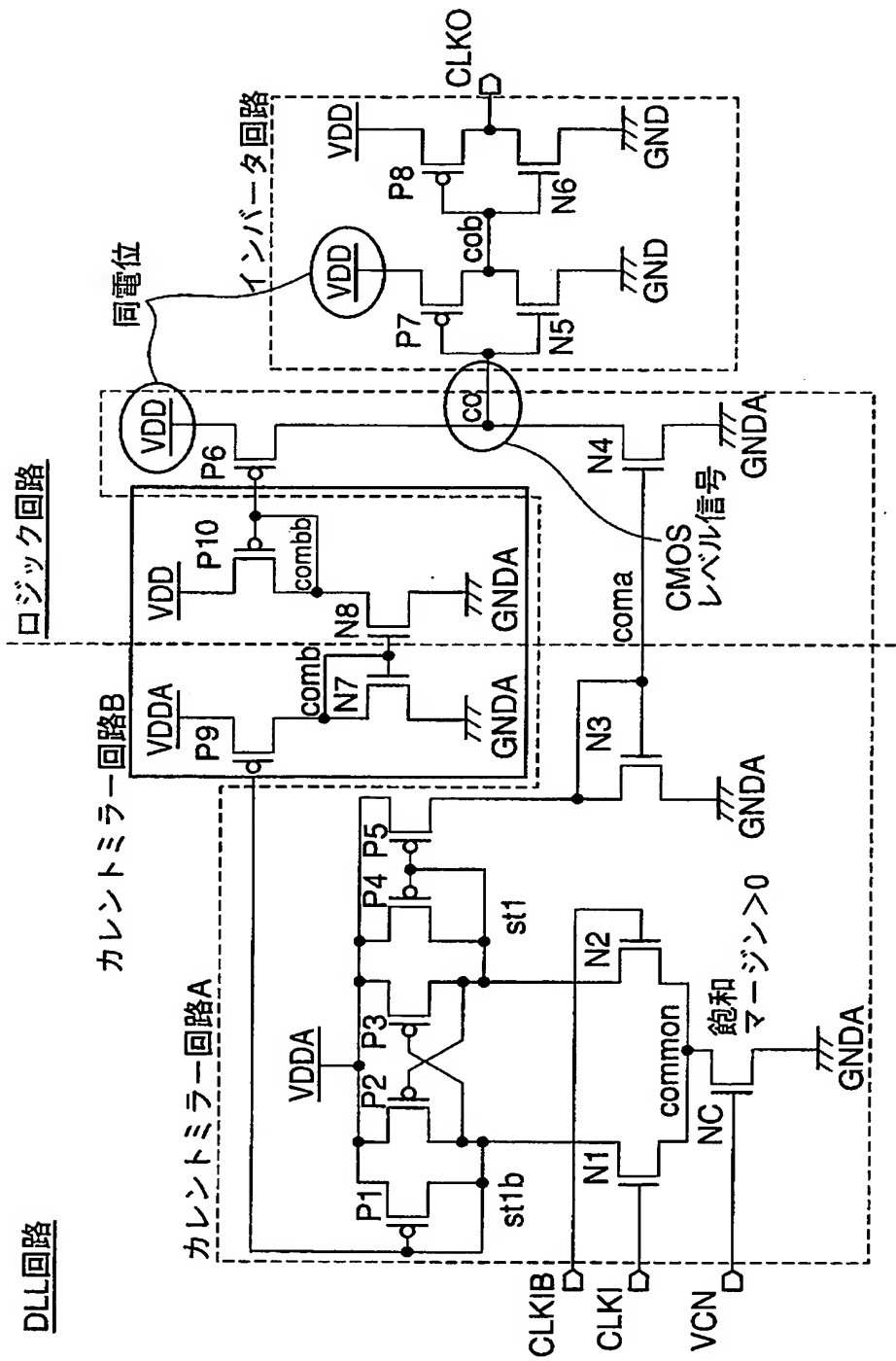
図 6 に示した様子の結果を示す図である。

【符号の説明】

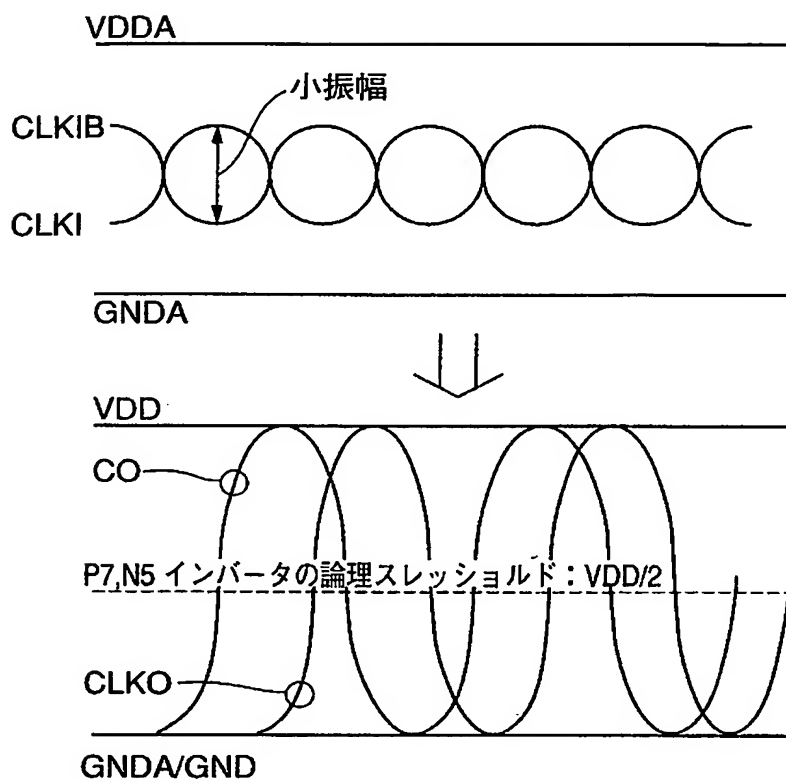
- A カレントミラー回路
- B カレントミラー回路
- P 1 ～ P 1 0 PMOS トランジスタ
- N 1 ～ N 8 , N C NMOS トランジスタ
- C L K I 小振幅信号
- C L K I B 小振幅信号
- V C N 定電圧信号
- V D D A アナログ電源
- G N D A アナログ電源
- V D D デジタル電源
- G N D デジタル電源
- C L K O CMOS レベル信号

【書類名】 図面

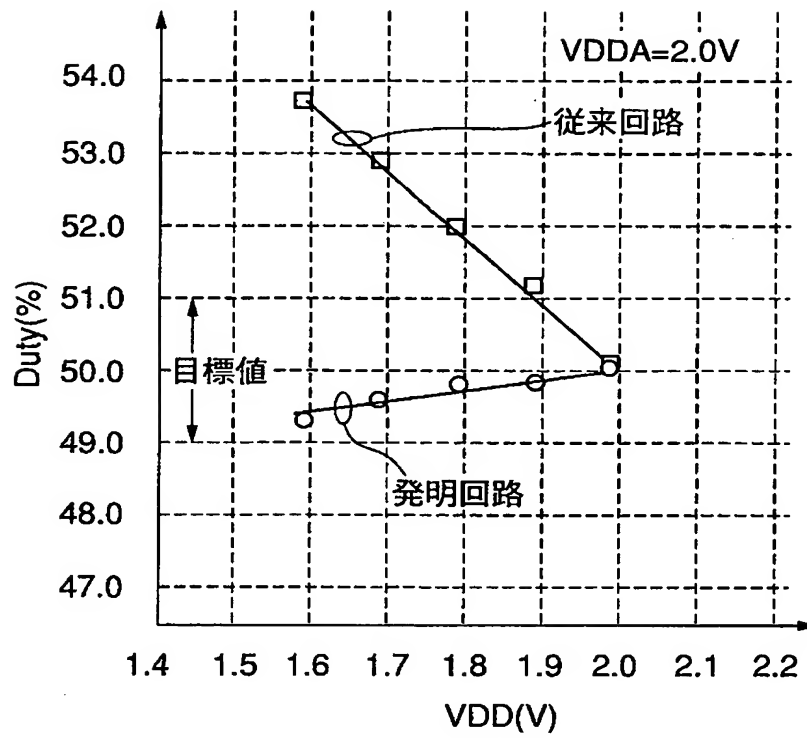
【図 1】



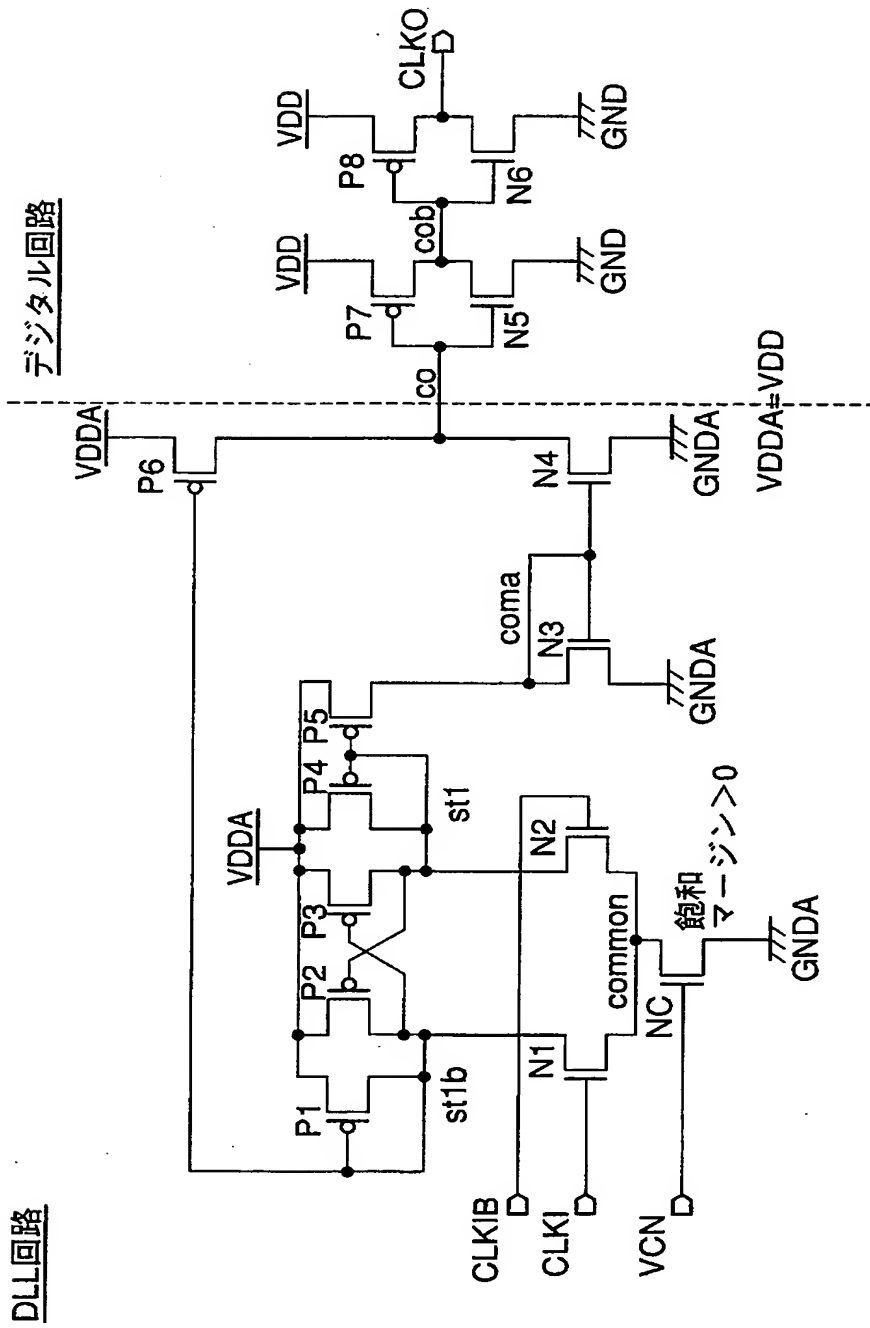
【図 2】



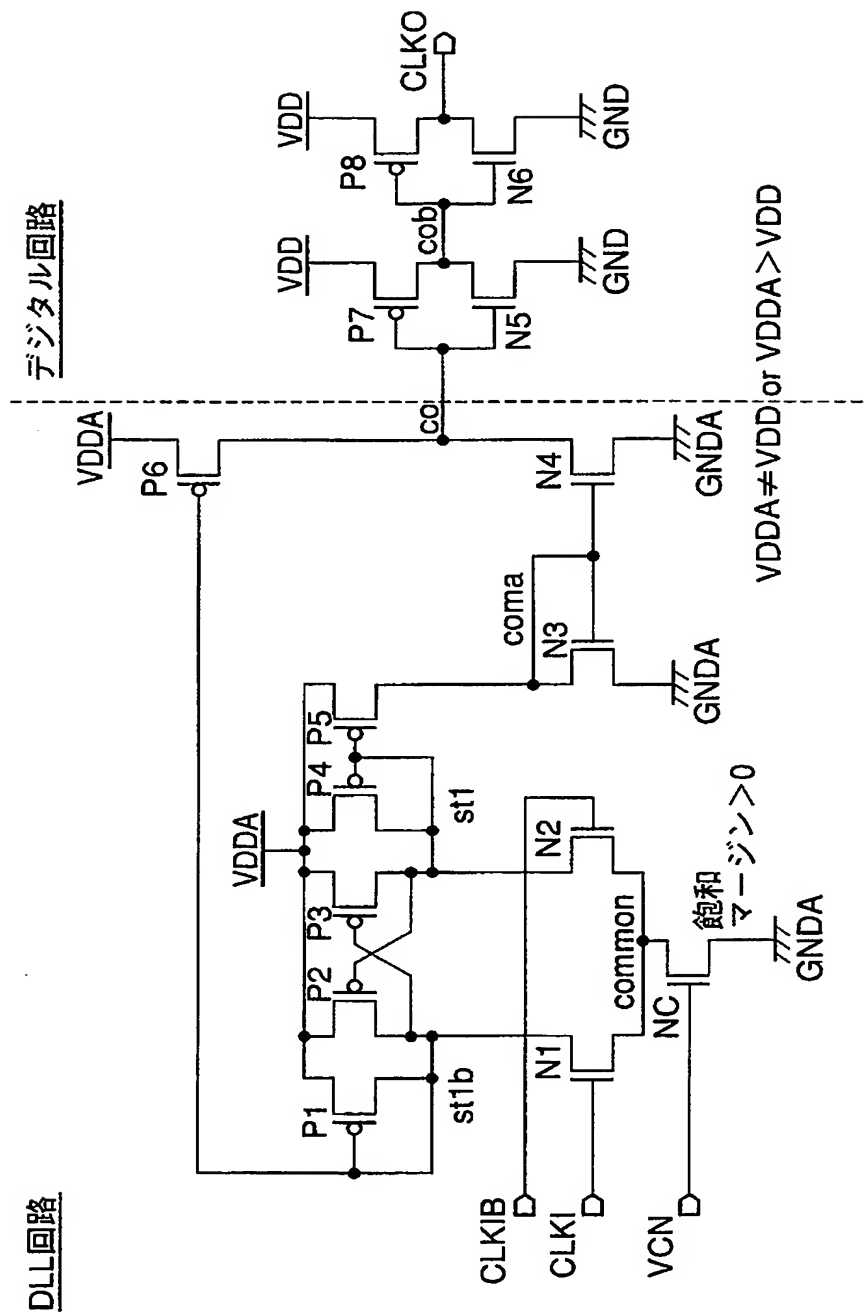
【図 3】



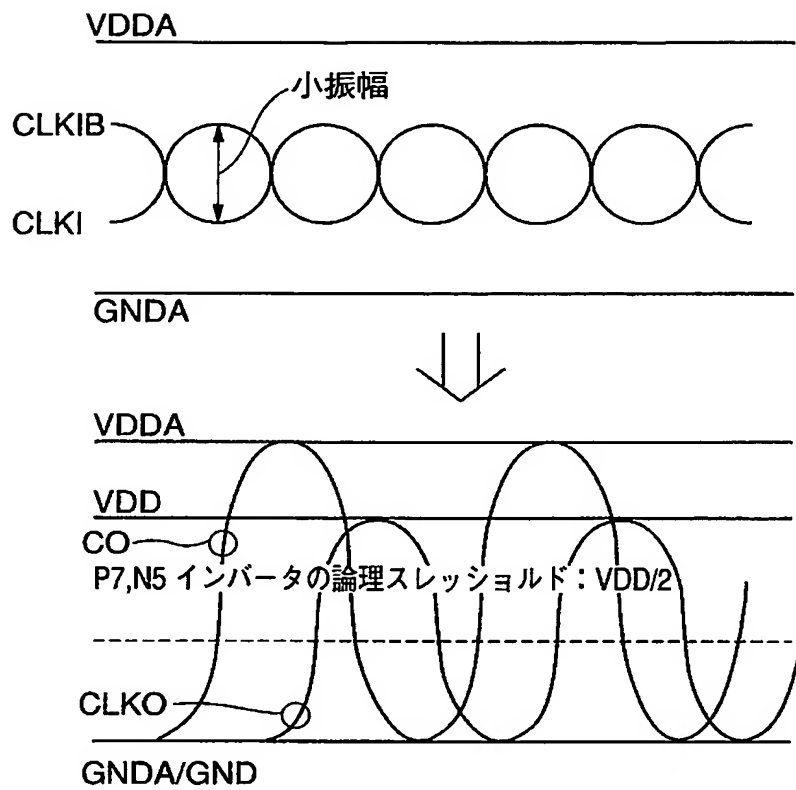
【図 4】



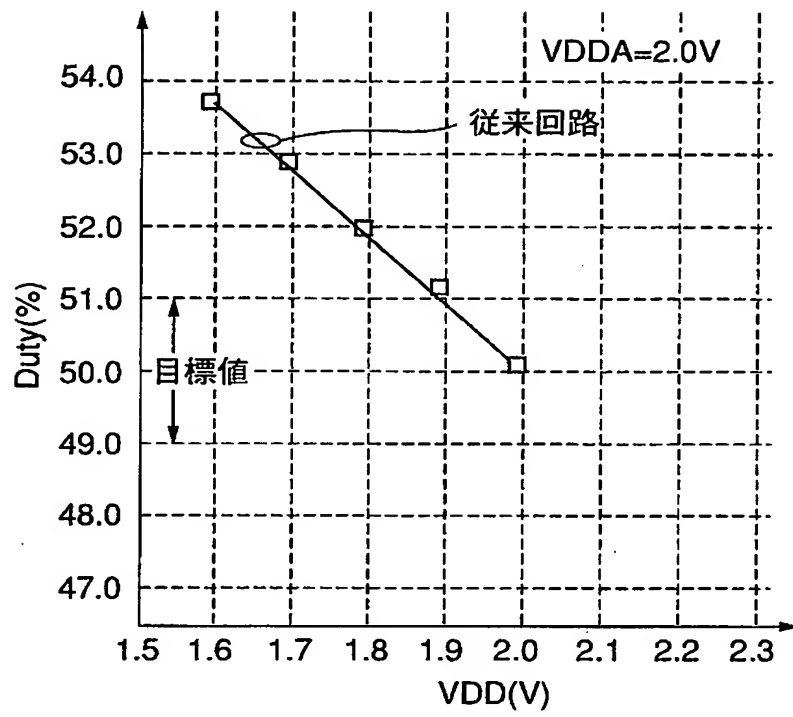
【図 5】



【図 6】



【図 7】



() 【書類名】 要約書

【要約】

【課題】 D L L 回路とロジック回路の電源電圧が変動した場合でも安定した C M O S レベル信号 (D u t y = 5 0 ± 1 %) を生成できる半導体装置を提供する。

【解決手段】 小振幅信号 C L K I , C L K I B と定電圧の入力信号 V C N を受け取るアナログ電源 V D D A , G N D A とデジタル電源 V D D , G N D を併用した第 1 のカレントミラー回路 A と、第 1 のカレントミラー回路 A から出力された信号 s t 1 b を受け取りアナログ電源からデジタル電源に信号をレベル変換する第 2 のカレントミラー回路 B と、第 1 のカレントミラー回路 A 内に設けられた第 1 のノード c o m a と、第 2 のカレントミラー回路内に設けられた第 2 のノード c o m b b と、第 1 のノード c o m a と第 2 のノード c o m b b の電圧レベルにより出力された信号 c o が入力され、かつ C M O S レベル信号 C L K O が出力されるインバータ回路とを有し、小振幅信号 C L K 1 , C L K 1 B から C M O S レベル信号 C L K O を生成する。

【選択図】 図 1

() 特願 2 0 0 2 - 2 8 0 8 5 5

出 願 人 履 歴 情 報

識別番号

[5 0 0 1 7 4 2 4 7]

1 . 変更年月日

2 0 0 0 年 7 月 1 2 日

[変更理由]

名称変更

住 所

東京都中央区八重洲 2 - 2 - 1

氏 名

エルピーダメモリ株式会社

()

特願 2 0 0 2 - 2 8 0 8 5 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1 . 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 2 8 0 8 5 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 3 1 6 9]

1. 変更年月日

1 9 9 8 年 4 月 3 日

[変更理由]

名称変更

住 所

東京都小平市上水本町 5 丁目 2 2 番 1 号

氏 名

株式会社日立超エル・エス・アイ・システムズ